

## IGZO：实现“高精细且电池持久”智能手机的功臣

2013/10/18

配备高精细度的清晰液晶屏，并拥有充一次电能连续使用好几天的电池持久性——为实现这样的智能手机做出巨大贡献的正是“IGZO（InGaZnO）”技术。



成为夏普智能手机特色的“IGZO”  
(点击放大)

夏普 2012 年在全球率先成功实现了 IGZO 技术的实用化。该公司在智能手机产品上配备了采用 IGZO 技术的液晶显示屏，作为“IGZO 机型”上市。这些机型具有显示屏清晰美观，以及充一次电可使用整整两天的特点，一举成为热销商品。夏普打算为 2014 年以后上市的所有智能手机和平板电脑都配备 IGZO 技术。

IGZO 技术的冲击力不止如此，还有望成为原来难以实现的革新性显示技术的实现手段，比如 8K 超高清大尺寸显示屏、大尺寸有机 EL 显示屏，以及柔性显示屏等。

IGZO 是一种“氧化物半导体”材料，是铟（In）、镓（Ga）、锌（Zn）、氧（O）等构成的化合物“ $\text{In-Ga-Zn-O}$ ”的缩略语。IGZO 还被认为是有望取代长期坐在“显示材料之王”宝座上的硅（Si）的革新性材料，备受关注。

其中，IGZO 作为驱动多种高精细显示屏所需要的“TFT（薄膜晶体管）”元件的材料，其前景被看好。东京工业大学教授、获诺贝尔奖提名的细野秀雄领导的研究小组在 IGZO 应用于 TFT 的研究方面处于世界领先地位。



配备 IGZO 技术的夏普平板电脑“**AQUOS PAD**”（[点击放大](#)）

那么，IGZO 这种材料为何会备受关注呢？其原因在于，与以前 TFT 使用的“非晶硅”材料相比，IGZO 中电子的移动速度较快。这样便可提高 TFT 的工作速度（驱动能力），以低功耗高速驱动高精细的液晶显示屏及有机 EL 显示屏。

并且，IGZO 还具有可使用大尺寸玻璃基板轻松地低成本制造面板的特点，有助于高精细显示屏的低价格化。

另外，IGZO 还具有硅所没有的独特特点，比如透明，以及可在由树脂等制成的柔性基板上制造 TFT。因此，IGZO 还有望实现在薄而透明的片材上配备高精细显示屏，或是配备半导体集成电路（IC）等新应用。（记者：大下 淳一，日经 BP 半导体调查）

附件：

夏普推进 IGZO 量产，氧化物半导体备受关注

2013/01/23

本文是以高竞争率著称的 IEDM（International Electron Devices Meeting，国际电子元件会议）的回顾。在 2012 年 12 月于美国举行的“IEDM 2012”上，被采用的 4 篇论文中，有 2 篇是有关氧化物半导体的成果。可以看出 Si（硅）行业对该材料备受关注。

三星集团发布支持“4K 以上”分辨率的新材料

氧化物半导体具有可在低温下制备、性能高且透明的特点，正在

以高精细显示器的驱动晶体管为中心实现实用化，夏普于 2012 年针对液晶面板开始量产的“IGZO (In-Ga-Zn-O)”就是一个典型代表。松下和索尼在 2013 年 1 月举行的“2013 International CES”上分别展出的 56 英寸 4K×2K (3840×2160 像素) 有机 EL 面板也采用了氧化物半导体 TFT 作为驱动晶体管。在本届 IEDM 上亮相的是应该称为“后 IGZO”的新材料和有可能使氧化物半导体的应用范围扩展到显示器以外领域的技术。

三星尖端技术研究所 (SAIT) 和首尔大学的共同研究小组提出将 ZnON-TFT 作为面向 4K×2K 以上分辨率的新一代显示器的候补氧化物半导体 TFT 的提案 (演讲序号 5.6) (图 1、图 2)。ZnON 的带隙只有 1.3eV，与原来面向显示器驱动 TFT 推出的氧化物半导体相比，载流子迁移率和工作稳定性都很出色。研究人员在演讲中介绍称，在对 ZnON-TFT 进行光照并加载电压的条件下，能够以 3V 以下的驱动电压获得接近  $100\text{cm}^2/\text{Vs}$  的载流子迁移率。



图 1: SAIT 和首尔大学共同开发的 ZnON-TFT (点击放大)

瑞萨为氧化物半导体应用于 CMOS 电路开辟道路

氧化物半导体的应用领域不仅局限于显示器驱动晶体管，现在还提出了在玻璃基板和柔性基板上集成使用氧化物半导体的透明运算电路等独特应用。不过，氧化物半导体存在难以实现 CMOS 电路的缺点，因为很难形成 p 型晶体管，以前推出的 In-Ga-Zn-O 晶体管全是 n 型。

瑞萨电子发布了有可能改变这一现状的技术。该公司使用 p 型非晶氧化物半导体开发出了晶体管，并确认能正常工作（演讲序号 18.8）。这一成果有助于实现 CMOS 电路，瑞萨电子技术开发本部先行研究统括部统括部长林喜宏介绍说：“氧化物半导体的应用范围将大幅扩大。”

此次瑞萨开发的是在逻辑 LSI 多层布线内嵌入 BEOL（back-end of line）晶体管的技术。通过将 LSI 多层布线的一部分作为栅极电极及源极、漏极使用，只需追加 1~2 块掩模便可形成晶体管。因此，几乎不会增加芯片制造成本，便可在逻辑 LSI 的多层布线内嵌入驱动高电压的电源接口电路（图 3）。

由于多层布线需要在 400℃ 以下的低温条件下进行，因此瑞萨开

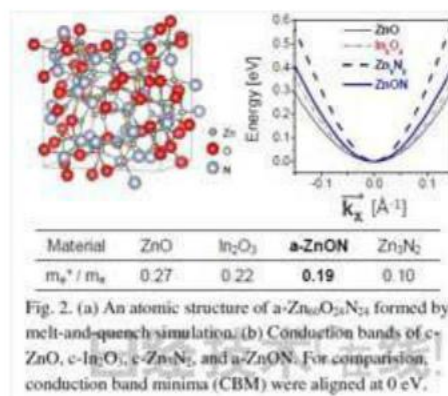


图 2: ZnON 的构造和特性  
(点击放大)



已证实利用 p 型 SnO 可实现良好的晶体管特性

以前，p 型 SnO 晶体管方面的研究主要以大学为中心在进行，但导通/截止比低，只有两位数，很难实用化。此次，瑞萨通过在栅极和漏极的重叠处设置偏移（缝隙），降低了截止时的漏电流（图 6），从而使导通/截止比达到五位数，是以前的 1000 倍，耐压也达到 40V 以上。

此次的 p 型 SnO 晶体管的通态电流很小，只有 n 型 In-Ga-Zn-O 晶体管的 1/10。不过，这一问题可以通过调整电路设计解决，比如改变 n 型晶体管和 p 型晶体管的器件尺寸等。瑞萨指出，“面向 CMOS 化的制造技术方面的课题已经基本解决”，下一步将着手进行 CMOS 电路的设计。（记者：大下 淳一，《日经电子》）